

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-229568

(43)Date of publication of application : 15.08.2003

(51)Int.Cl. H01L 29/78
H01L 21/265

(21)Application number : 2002-026580

(71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 04.02.2002

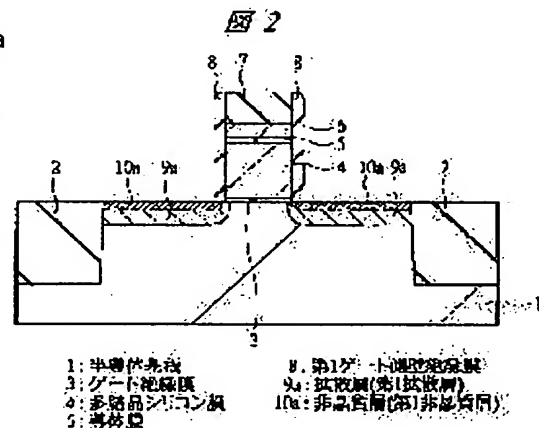
(72)Inventor : HORIUCHI KATSUTADA
TAKAHAMA TAKASHI

(54) MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve reliability in a semiconductor device having a field effect transistor of a source and drain structure of a shallow junction.

SOLUTION: In lowering the resistance of a diffusion layer 9a for the source and drain of the shallow junction by selectively fusing and recrystallizing a part of an amorphous layer 10a, formed during ion implantation for forming the diffusion layer 9a for the source and drain, by laser beam irradiation, in order to prevent defects such as a short circuit at the superimposing part of a fusion area and a gate electrode, by forming a first gate side wall insulating film 8 on the side face of the gate electrode and then performing the ion implantation, the amorphous layer 10a is not superimposed on the gate electrode and the amorphous layer 10a is fused and recrystallized without causing the short circuit defect.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

書誌

(19)【発行国】日本国特許庁(JP)
(12)【公報種別】公開特許公報(A)
(11)【公開番号】特開2003-229568(P2003-229568A)
(43)【公開日】平成15年8月15日(2003. 8. 15)
(54)【発明の名称】半導体装置の製造方法および半導体装置
(51)【国際特許分類第7版】

H01L 29/78
21/265
602

【FI】

H01L 21/265 602 C
29/78 301 S
21/265 Q

【審査請求】未請求

【請求項の数】37

【出願形態】OL

【全頁数】21

(21)【出願番号】特願2002-26580(P2002-26580)

(22)【出願日】平成14年2月4日(2002. 2. 4)

(71)【出願人】

【識別番号】000005108

【氏名又は名称】株式会社日立製作所

【住所又は居所】東京都千代田区神田駿河台四丁目6番地

(71)【出願人】

【識別番号】000233169

【氏名又は名称】株式会社日立超エル・エス・アイ・システムズ

【住所又は居所】東京都小平市上水本町5丁目22番1号

(72)【発明者】

【氏名】堀内 勝忠

【住所又は居所】東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

(72)【発明者】

【氏名】▲高▼濱 ▲高▼

【住所又は居所】東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(74)【代理人】

【識別番号】100080001

【弁理士】

【氏名又は名称】筒井 大和

【テーマコード(参考)】

5F140

【Fターム(参考)】

5F140 AA01 AA06 AA13 AA21 AB03 AC32 AC33 BA01 BA20 BC06 BD01 BD09 BD10 BD11 BD12 BE07 BE08 BF04 BF05

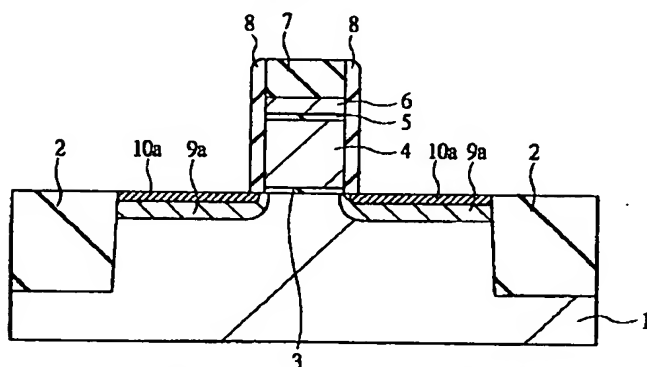
要約

(57)【要約】

【課題】浅接合のソースおよびドレイン構造の電界効果トランジスタを有する半導体装置の信頼性を向上させる。

【解決手段】ソースおよびドレイン用の拡散層9aを形成するためのイオン注入時に形成された非晶質層10a部分をレーザー光照射により選択的に熔融、再結晶化することにより、浅接合のソースおよびドレイン用の拡散層9aの低抵抗化を実現するにあたり、熔融領域とゲート電極の重畳部での短絡等の不良発生を防止するため、ゲート電極の側面に第1ゲート側壁絶縁膜8を形成した後に上記イオン注入することで、非晶質層10aがゲート電極と重畳しない構造とし、上記短絡不良を生じさせることなく非晶質層10aの熔融、再結晶化を実現する。

図 2



- | | |
|-------------|-------------------|
| 1: 半導体基板 | 8: 第1ゲート側壁絶縁膜 |
| 3: ゲート絶縁膜 | 9a: 拡散層(第1拡散層) |
| 4: 多結晶シリコン膜 | 10a: 非晶質層(第1非晶質層) |
| 6: 導体膜 | |

請求の範囲

【特許請求の範囲】

【請求項1】以下の工程を有することを特徴とする半導体装置の製造方法: (a)半導体基板の主面上にゲート絶縁膜を形成する工程、(b)前記ゲート絶縁膜上にゲート電極を形成する工程、(c)前記ゲート電極の側壁に側壁絶縁膜を形成する工程、(d)前記ゲート電極および側壁絶縁膜をマスクとして前記半導体基板に第1イオンを導入することにより、前記半導体基板にソースおよびドレイン用の拡散層と、前記拡散層の表層部分において前記ゲート電極から離れた位置に非晶質層とを形成する工程、(e)前記半導体基板の主面に対してレーザー光を照射することにより、前記非晶質層を選択的に再結晶化させる工程を有することを特徴とする半導体装置の製造方法。

【請求項2】請求項1記載の半導体装置の製造方法において、前記(b)工程後、前記(c)工程前に、前記ゲート電極をマスクとして前記半導体基板に前記ソースおよびドレイン用の拡散層と同一導電型の拡散層を形成するための不純物イオンを導入する工程を有することを特徴とする半導体装置の製造方法。

【請求項3】請求項1記載の半導体装置の製造方法において、前記(d)工程は、(d1)前記ソースおよびドレイン用の拡散層を形成するための不純物イオンの導入工程、(d2)前記非晶質層を形成するための元素イオンの導入工程を有することを特徴とする半導体装置の製造方法。

【請求項4】請求項3記載の半導体装置の製造方法において、前記(d2)工程の元素イオンの導入工程は、ゲルマニウムまたはシリコンの少なくとも1つのイオン注入処理であることを特徴とする半導体装置の製造方法。

【請求項5】請求項1記載の半導体装置の製造方法において、前記(d)工程は、(d1)前記半導体基板にソースおよびドレイン用の拡散層および前記非晶質層を形成するための不純物イオンの導入工程、(d2)前記非晶質層の融点を下げるための不純物イオンの導入工程を有することを特徴とする半導体装置の製造方法。

【請求項6】請求項5記載の半導体装置の製造方法において、前記(d2)工程の不純物イオンの導入工程は、インジウム、ビスマス、鉛、ゲルマニウムまたはアンチモンの少なくとも1つのイオン注入処理であることを特徴とする半導体装置の製造方法。

【請求項7】請求項1記載の半導体装置の製造方法において、前記レーザー光の照射処理により、前記ソースおよびドレイン用の拡散層を活性化することを特徴とする半導体装置の製造方法。

【請求項8】請求項1記載の半導体装置の製造方法において、前記(b)工程は、(b1)前記ゲート絶縁膜の上面を含む半導体基板の主面上に半導体膜を堆積する工程、(b2)前記半導体膜上に前記レーザー光の反射率を増加させる機能を有する第1の膜を形成する工程、(b3)前記半導体膜および第1の膜をゲート電極形状にパターンニングする工程を有することを特徴とする半導体装置の製造方法。

【請求項9】請求項8記載の半導体装置の製造方法において、前記第1の膜は、アルミニウム系の導体膜を有することを特徴とする半導体装置の製造方法。

【請求項10】請求項8記載の半導体装置の製造方法において、前記第1の膜は、アルミニウム系の導体膜上に絶縁膜を堆積した積層膜を有することを特徴とする半導体装置の製造方法。

【請求項11】請求項10記載の半導体装置の製造方法において、前記(d)工程後、前記半導体基板の主面上に所望の厚さの絶縁膜を堆積した後、前記(e)工程のレーザー光の照射処理を施すことを特徴とする半導体装置の製造方法。

【請求項12】請求項1記載の半導体装置の製造方法において、前記(d)工程後、前記半導体基板の主面上に絶縁膜を介して熱伝導性に優れた金属膜を堆積した後、前記(e)工程のレーザー照射処理を施すことを特徴とする半導体装置の製造方法。

【請求項13】請求項12記載の半導体装置の製造方法において、前記熱伝導性に優れた金属膜は、高融点金属膜または高融点金属窒化膜であることを特徴とする半導体装置の製造方法。

【請求項14】以下の工程を有することを特徴とする半導体装置の製造方法：(a)半導体基板の主面上にゲート絶縁膜を形成する工程、(b)前記ゲート絶縁膜上にゲート電極を形成する工程、(c)前記ゲート電極の側壁に第1側壁絶縁膜を形成する工程、(d)前記ゲート電極および第1側壁絶縁膜をマスクとして前記半導体基板に第1イオンを導入することにより、前記半導体基板にソースおよびドレイン用の第1拡散層と、前記第1拡散層の表層部分において前記ゲート電極から離れた位置に第1非晶質層とを形成する工程、(e)前記(d)工程後、前記ゲート電極および第1側壁絶縁膜の側壁に第2側壁絶縁膜を形成する工程、(f)前記ゲート電極、第1側壁絶縁膜および第2側壁絶縁膜をマスクとして前記半導体基板に前記第1イオンと同一導電型形成用の第2イオンを導入することにより、前記半導体基板にソースおよびドレイン用の第2拡散層と、前記第2拡散層の表層部分に第2非晶質層とを形成する工程、(g)前記半導体基板の主面に対してレーザー光を照射することにより、前記第1、第2非晶質層を選択的に再結晶化させる工程を有することを特徴とする半導体装置の製造方法。

【請求項15】請求項14記載の半導体装置の製造方法において、前記(b)工程後、前記(c)工程前に、前記ゲート電極をマスクとして前記半導体基板に前記ソースおよびドレイン用の拡散層と同一導電型の拡散層を形成するための不純物イオンを導入する工程を有することを特徴とする半導体装置の製造方法。

【請求項16】請求項14記載の半導体装置の製造方法において、前記(d)工程は、(d1)前記半導体基板にソースおよびドレイン用の第1拡散層を形成するための不純物イオンの導入工程、(d2)前記第1非晶質層を形成するための元素イオンの導入工程とを有し、前記(f)工程は、(f1)前記半導体基板にソースおよびドレイン用の第2拡散層を形成するための不純物イオンの導入工程、(f2)前記第2非晶質層を形成するための元素イオンの導入工程とを有することを特徴とする半導体装置の製造方法。

【請求項17】請求項14記載の半導体装置の製造方法において、前記(d)工程は、(d1)前記半導体基板にソースおよびドレイン用の第1拡散層および前記第1非晶質層を形成するための不純物イオンの導入工程、(d2)前記第1非晶質層の融点を下げるための不純物イオンの導入工程とを有し、前記

(f)工程は、(f1)前記半導体基板にソースおよびドレイン用の第2拡散層および前記第2非晶質層を形成するための不純物イオンの導入工程、(f2)前記第2非晶質層の融点を下げるための不純物イオンの導入工程とを有することを特徴とする半導体装置の製造方法。

【請求項18】請求項14記載の半導体装置の製造方法において、前記(b)工程は、(b1)前記ゲート絶縁膜の上面を含む半導体基板の主面上に、半導体膜を堆積する工程、(b2)前記半導体膜上に前記レーザー光の反射率を増加させる機能を有する第1の膜を形成する工程、(b3)前記半導体膜および第1の膜をゲート電極形状にパターニングする工程を有することを特徴とする半導体装置の製造方法。

【請求項19】請求項18記載の半導体装置の製造方法において、前記第1の膜は、アルミニウム系の導体膜上に絶縁膜を堆積した積層膜を有することを特徴とする半導体装置の製造方法。

【請求項20】請求項19記載の半導体装置の製造方法において、前記(f)工程後、前記半導体基板の主面上に所望の厚さの絶縁膜を堆積した後、前記(g)工程のレーザー光の照射処理を施すことを特徴とする半導体装置の製造方法。

【請求項21】請求項14記載の半導体装置の製造方法において、前記(f)工程後、前記半導体基板の主面上に絶縁膜を介して熱伝導性に優れた金属膜を堆積した後、前記(g)工程のレーザー照射処理を施すことを特徴とする半導体装置の製造方法。

【請求項22】以下の構成の電界効果トランジスタを有することを特徴とする半導体装置；

(a)半導体基板上に形成されたゲート絶縁膜、(b)前記ゲート絶縁膜上に形成されたゲート電極、(c)前記ゲート電極の側壁に形成された側壁絶縁膜、(d)前記半導体基板において、前記ゲート電極と一部が平面的に重なるように形成されたソースおよびドレイン用の拡散層、(e)前記ソースおよびドレイン用の拡散層の表層部において、前記ゲート電極から離れるように形成され、熔融液相化された履歴を有する第1領域。

【請求項23】請求項22記載の半導体装置において、前記第1領域は、非晶質層であった履歴を有する領域であることを特徴とする半導体装置。

【請求項24】請求項22記載の半導体装置において、前記半導体基板において、前記ソースおよびドレイン用の拡散層のチャネル側端部に、前記ソースおよびドレイン用の拡散層と電気的に接続され、かつ、前記ゲート電極と少なくとも一部が平面的に重なるように、前記ソースおよびドレイン用の拡散層と同一導電型の拡散層を設けたことを特徴とする半導体装置。

【請求項25】請求項22記載の半導体装置において、前記ソースおよびドレイン用の拡散層には、前記第1領域の深さを制御するための元素が含有されていることを特徴とする半導体装置。

【請求項26】請求項25記載の半導体装置において、前記第1領域の深さを制御するための元素が、ゲルマニウムまたはシリコンの少なくとも1つであることを特徴とする半導体装置。

【請求項27】請求項22記載の半導体装置において、前記ソースおよびドレイン用の拡散層には、前記第1領域の融点を下げるための不純物が含有されていることを特徴とする半導体装置。

【請求項28】請求項27記載の半導体装置において、前記第1領域の融点を下げるための不純物が、インジウム、ビスマス、鉛、ゲルマニウムまたはアンチモンの少なくとも1つであることを特徴とする半導体装置。

【請求項29】請求項22記載の半導体装置において、前記側壁絶縁膜は、少なくとも一部がシリコン酸化膜よりも誘電率が大きな絶縁膜で構成されたことを特徴とする半導体装置。

【請求項30】請求項29記載の半導体装置において、前記側壁絶縁膜の一部は、シリコン、アルミニウム、チタン、タンタル、ジルコニウム、ハフニウム、パラジウム、ランタンの酸化膜または窒化膜またはシリケート膜であることを特徴とする半導体装置。

【請求項31】請求項22記載の半導体装置において、前記ゲート電極は、金属膜を有することを特徴とする半導体装置。

【請求項32】請求項31記載の半導体装置において、前記ゲート電極の金属膜は、アルミニウム、チタン、ニッケル、タンタル、モリブデン、タングステン、コバルトまたはジルコニウムからなることを特徴とする半導体装置。

【請求項33】請求項31記載の半導体装置において、前記ゲート電極は、前記ゲート絶縁膜と接する部分に、不純物が添加された半導体膜を有することを特徴とする半導体装置。

【請求項34】請求項22記載の半導体装置において、前記ゲート絶縁膜は、酸化シリコン膜より比誘

電率が大きな絶縁膜を有することを特徴とする半導体装置。

【請求項35】請求項34記載の半導体装置において、前記ゲート絶縁膜は、シリコン、アルミニウム、チタン、タンタル、ジルコニウム、ハフニウム、パラジウムまたはランタンの酸化膜または窒化膜あるいはシリケート膜であることを特徴とする半導体装置。

【請求項36】請求項22記載の半導体装置において、前記電界効果トランジスタは、前記電界効果トランジスタの基板電位が正または負の一定電位に制御されて動作する構成であることを特徴とする半導体装置。

【請求項37】以下の構成の電界効果トランジスタを有することを特徴とする半導体装置；

(a)半導体基板上に形成されたゲート絶縁膜、(b)前記ゲート絶縁膜上に形成されたゲート電極、(c)前記ゲート電極の側壁に形成された第1側壁絶縁膜、(d)前記第1側壁絶縁膜の側壁に形成された第2側壁絶縁膜、(e)前記半導体基板において、前記ゲート電極と一部が平面的に重なるように形成されたソースおよびドレイン用の第1拡散層、(f)前記ソースおよびドレイン用の第1拡散層の表層部において、前記ゲート電極から離れるように形成され、熔融液相化された履歴を有する第1領域、(g)前記半導体基板において、前記第1拡散層と同一導電型に設定され、前記第1拡散層と電気的に接続されるように形成されたソースおよびドレイン用の第2拡散層、(h)前記ソースおよびドレイン用の第2拡散層の表層部において、前記ゲート電極から離れて形成され、熔融液相化された履歴を有する第2領域。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法および半導体装置技術に関し、特に、電界効果トランジスタを有する半導体装置の製造方法および半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】超高密度集積回路装置を構成する絶縁ゲート型電界効果トランジスタ、特にMOS (Metal Oxide Semiconductor) 型電界効果トランジスタ(以降、単にMOSと略記する)はスケールング則に基づき微細化が進み、例えば50nm以下のゲート長を有する超微細MOSも発表されている。上記超微細MOSにおいてはゲート電極長の微細化、低電源電圧化に伴って、パンチスルー電流の低減化のためにソース拡散層およびドレイン拡散層の浅接合化が推し進められている。超微細MOSにおける不純物の導入には通常イオン注入法を、注入イオンの活性化には、再分布を極力避け、より急峻な不純物分布を実現するために高温短時間熱処理法が用いられている。しかしながら、上記手法も既に限界に達しつつあり、例えばP⁺N接合では、接合深さ40nmでシート抵抗520Ω/□であるのに対し、接合深さを30nmに25%浅くするとシート抵抗は1300Ω/□と2.5倍にまで急増する。上記は、例えば二フッ化ホウ素(BF₂)のイオン注入を加速エネルギー3keVの条件で注入量1×10¹⁵/cm²一定の条件とし、例えば1050℃であった高温短時間熱処理の温度を1000℃に低温化した場合の結果であるが、熱処理条件一定で注入量を増加させても接合深さが増加するだけで抵抗の低減効果は殆ど期待できない。これは低加速イオン注入時に注入済みイオンがイオン注入によるスパッタリング現象で放出され、結果的に注入量の半分程度しか基板内に残存しなくなるのが一因である。さらに、イオン注入加速エネルギーを、例えば2keVに低減しても接合深さの低減効果は極めて小さい。これはイオン注入時におけるチャネリング現象や加速エネルギー分布により低濃度領域が注入飛程距離に比べて深くまで到達するため、あるいはTED(transient enhanced diffusion: トランジェント・エンハンスド・デフュージョン)と称される800℃程度の比較的低温熱処理での増速拡散現象による低濃度領域の異常拡散が避けられないためである。低温熱処理は現在の装置性能が短時間高温熱処理における昇温過程および降温過程が数10～数100℃/秒程度と無視できないためである。

【0003】短時間高温熱処理に基づく低抵抗浅接合形成阻害要因を解消する手法としてイオン注入領域にレーザー光を照射し、照射領域を低抵抗化させる手法も知られている。この手法については、例

えば特開平3-163822号公報に開示があり、MOSのソースおよびドレイン用の高濃度拡散層形成のための不純物注入領域を形成した後、600℃程度の低温アニールを施し、不純物注入領域の非晶質領域を一度再結晶化してからレーザー光照射によりさらに活性化処理を施す技術が開示されている。上記公知例においてはシリコン(Si)基板を溶融するレーザーエネルギー密度以下の条件で活性化するため、不純物分布は高温極短時間熱処理による拡散に対応する。得られる不純物分布は高濃度領域の分布と低濃度領域の分布を独立には制御できない。上記公知例等に基づけば注入不純物の活性化をTED等の影響を極力無くして、イオン注入直後の分布形状をほぼ維持したまま接合の活性化を実現できる。しかしながらイオン注入直後の不純物分布によるソース・ドレイン接合では、例えばゲート長50nm以下の超微細MOSの高性能化には最早十分でなく、接合深さを、例えば30nm以下で、かつ、シート抵抗が数百 Ω/\square 以下を実現する高濃度矩形不純物分布が今後は必須となる。すなわち、イオン注入直後の不純物分布よりも更に急峻な分布が要求される。

【0004】

【発明が解決しようとする課題】ところで、高濃度矩形不純物分布を実現し得る手法として接合内部の一定深さ領域のみをレーザー光照射により選択的に溶融、液相化させてから急速に固相化させる手法が原理的には考えられる。極短波長レーザー光はSi基板内の数10nm以内で減衰し、特に非晶質層においては単結晶領域に比べて吸収係数が大きいため、レーザー光エネルギー及びパルス幅の適当な設定によって、基板を加熱することなく非晶質層のみを選択的に溶融、液相化させることができる。これにより単結晶基板内部を加熱することなくイオン注入非晶質層のみを選択的に活性化することもできる。液相内における不純物の拡散速度は固相内の場合に比べて8桁以上も大きいことが知られており、液相化された領域での不純物分布は深さ方向にほぼ一様で矩形分布が実現される。不純物の溶融限界も液化温度で規定されるため、上記矩形分布内のキャリア濃度はほぼ不純物濃度と同程度にすることができる。その結果、得られる抵抗値は上記短時間高温熱処理法に基づく浅接合に比べて、例えばP⁺N接合では接合深さが20nmと更に浅接合化してもシート抵抗を300 Ω/\square と短時間高温熱処理法に比べて1/5以下に低減することもできる。溶融化が行なわれなかった低濃度領域での不純物分布はレーザー光照射前と殆ど変わらない。

【0005】しかしながら、上記レーザー光照射による選択的な溶融、液相化技術においては、以下の課題があることを本発明者は見出した。

【0006】すなわち、被溶融化領域がゲート絶縁膜を介してゲート電極と隣接している構造では、不純物注入領域をレーザー光照射により溶融化することにより、隣接するゲート絶縁膜の破損または変質が発生する問題がある。ゲート絶縁膜の変質によりゲート電極を介した漏洩電流が増加し、極端な場合はゲート電極とチャネル間が短絡される不良も観測され、良品歩留まりが極端に低下する。良品歩留まりの低下はレーザー光照射条件の厳密な制御により、ある程度改善することが可能であるが、レーザー出力の変動および装置の経時劣化等により照射条件の許容範囲が極めて狭くなり実用化とは程遠い。

【0007】本発明の目的は、電界効果トランジスタを有する半導体装置の信頼性を向上させることのできる技術を提供することにある。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】すなわち、本発明は、電界効果トランジスタのソースおよびドレイン領域において、その電界効果トランジスタのゲート電極から離れた領域を非晶質化させた後、その非晶質化させた領域をレーザー光照射により選択的に溶融、液相化させ、さらに再結晶化させる工程を有するものである。

【0011】また、本発明は、ソースおよびドレイン用の拡散層の形成において、高濃度不純物イオン注入または非晶質化イオン注入との併用による所望領域の選択的非晶質化と、非晶質化領域の選択的、かつ、瞬間的な溶融液相化と、更には液相からの再固相化による結晶回復を用いる工程を有するものである。

【0012】

【発明の実施の形態】以下の実施の形態においては便宜上その必要があるときは、複数のセクション

または実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0013】また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0014】さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0015】同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0016】また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0017】また、本実施の形態においては、電界効果トランジスタを代表するMIS・FET(Metal Insulator Semiconductor Field Effect Transistor)をMISと略し、pチャネル型のMIS・FETをpMISと略し、nチャネル型のMIS・FETをnMISと略す。なお、MOS・FETは、そのゲート絶縁膜がシリコン酸化(SiO_2)等膜からなる構造のトランジスタであり、MISの下位概念に含まれるものとする。

【0018】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0019】(実施の形態1)現在のMISを有する半導体装置の製造技術において広く用いられているイオン注入とその後の短時間高温熱処理工程に基づくソースおよびドレイン用の浅接合形成技術では、MISの微細化のためのスケールリング則で求められる浅接合化を推し進める上で限界に達しつつある。本実施の形態は、その現状を根本的に打破し、極浅接合にも拘らず、低抵抗の拡散層を実現することにある。より具体的にはイオン注入領域の熱拡散による接合深さの増大を招くことなく、極浅で、かつ、横方向にも矩形不純物分布のソースおよびドレイン用の拡散層を実現することにある。上記矩形不純物分布により不純物の固溶限界を上昇させ、活性化率を大幅に増加させる。低抵抗の矩形高濃度不純物拡散層を浅接合で実現させ、ソース・ドレイン直列抵抗の低下とパンチスルー抑制を同時に解決することも本実施の形態の1つの課題である。以下、具体的に本実施の形態1の半導体装置の製造方法を図1～図8により説明する。

【0020】図1～図8は、本実施の形態1の半導体装置の製造工程における要部断面図を示している。まず、図1に示すように、例えば面方位(100)、n導電型、直径20cm程度の単結晶シリコン(Si)よりなる半導体基板(以下、単に基板という)1に活性領域を画定する素子間分離絶縁領域(以下、単に分離領域という)2の形成、基板濃度調整用のn導電型イオンの注入と引き延ばし熱処理および閾電圧調整用イオン注入と活性化熱処理を従来公知の手法により施す。しかる後、基板1に対して熱酸化処理を施すことにより、例えば厚さ1.8nm程度の熱酸化膜を形成した後、その表面を酸化窒素(NO)ガスにより窒化することにより、例えば厚さ0.2nmの窒化膜を積層形成し、ゲート絶縁膜3とした。上記窒化膜はシリコン熱酸化膜よりも比誘電率が大きく、シリコン熱酸化膜と電気的等価な光学的膜厚は約2倍厚に対応する。

【0021】続いて、ゲート絶縁膜3上に、例えばホウ素(B)が高濃度に添加された多結晶シリコン膜4を化学気相堆積法により100nm程度の膜厚で堆積し、続いて、例えば厚さ2nm程度のシリコン酸化膜5、例えば厚さ15nm程度のアルミニウム等からなる導体膜(第1の膜)6、例えば厚さ45nm程度のシリコン酸化膜(第1の膜)7を下方から順次に積層した。上記シリコン酸化膜5は、多結晶シリコン膜4と導体膜6との反応を防止する機能を有している。また、導体膜6およびシリコン酸化膜7は、後述のレーザー光照射処理においてレーザー光の反射率を増加させる機能を有している。また、シリコン酸化膜7は、後述のレーザー光照射処理に際して下層の導体膜6を保護する機能も有している。しかる後、上記積層膜を電子線リソグラフィ法等を用いてパターンニングし、例えばゲート長が60nm程度の上記多結晶シリコン膜4からなるゲート電極を形成する。

【0022】次に、例えば厚さ8nm程度のシリコン酸化膜を全面に堆積してから、そのシリコン酸化膜がゲート電極用の多結晶シリコン膜4の側壁部に選択的に残されるように異方性のドライエッチング処理を施し、第1ゲート側壁絶縁膜(側壁絶縁膜、第1側壁絶縁膜)8を形成する。この状態より、例えば

加速エネルギー2keV、注入量 $5 \times 10^{15} / \text{cm}^2$ 程度の条件で二フッ化ホウ素(BF_2)イオンを注入した。上記イオン注入により、図2に示すように、基板1の主面(デバイス形成面)においてゲート電極用の多結晶シリコン4膜の両側に、ソースおよびドレイン用の低不純物濃度のp型の拡散層(拡散層または第1拡散層)9a、9aを形成する。ここで拡散層9aの最大不純物濃度は、例えば約 $1 \times 10^{20} / \text{cm}^3$ 程度未満である。このソースおよびドレイン用のp型の拡散層9a、9aの領域内には、例えば基板1の主面から約10nmの深さにまで非晶質層(Amorphous; 非晶質層または第1非晶質層)10aが形成されている。上記イオン注入処理と同一条件でイオン注入して作成した別途試料の二次イオン質量分析結果によれば、上記非晶質層10aを形成する最低不純物濃度は、例えば約 $1 \times 10^{20} / \text{cm}^3$ 程度である。また、透過型電子顕微鏡による試料の断面観察によれば、図2およびその要部拡大断面図の図3に示すように、ソースおよびドレイン用のp型の拡散層9aのゲート電極側のpn接合部は、ゲート電極形成用の多結晶シリコン膜4の端部直下まで延び、その多結晶シリコン膜4の一部に長さd1だけ重なっているのに対して、非晶質層10aのゲート電極側端部は、例えば第1ゲート側壁絶縁膜8端部からゲート電極に近づく方向(図2および図3の横方向)に向かって最大約2nm程度に広がっていたが、ゲート電極形成用の多結晶シリコン4の端部直下には達していなかった。すなわち、非晶質層10aのゲート電極側端部は、ゲート電極形成用の多結晶シリコン膜4の端部から長さd2だけ離れている。

【0023】このように本実施の形態1においては、イオン注入により形成される非晶質層10aがゲート絶縁膜3を介してゲート電極と接する構造とはされていない。MISの大電流化とパンチスルー耐性向上の両立を図るべく、再結晶化される非晶質層と低不純物濃度の拡散層との横方向におけるゲート電極端との位置関係が調整し得る構造とされている。ソースおよびドレイン用の拡散層の低濃度領域の横方向拡がりはパンチスルーを生じさせるべく作用するため、ソースおよびドレイン用の拡散層の低濃度領域の横方向拡がりの最適化も重要である。すなわち、微細MISにおける短チャネル効果を抑制し、閾電圧値の変動幅がゲート長の変化に対して小さく、かつ、低電源電圧でも大電流出力を可能にする高性能微細MISを提供し得る構造とされている。具体的には、ソースおよびドレイン用の拡散層9aを形成する場合において、ゲート電極をイオン注入マスクとする代わりにゲート電極の側壁に第1ゲート側壁絶縁膜8を選択的に形成し、上記ゲート電極および第1ゲート側壁絶縁膜8をイオン注入阻止マスクとして、上記ソースおよびドレイン用の拡散層9aを形成するためのイオン注入を施す。

【0024】更に、上記第1ゲート側壁絶縁膜8の膜厚は、イオン注入による非晶質層10aのゲート電極側端部位置が第1ゲート側壁絶縁膜8の直下まででそれ以上ゲート電極側に延びないような条件とし、かつ、上記ソースおよびドレイン用の拡散層9aはゲート電極の直下まで広がった分布とする。上記拡散層9aも接合深さはパンチスルー特性改善のため、可能な限り浅接合とする。透過型電子顕微鏡による断面観察からイオン注入による非晶質層10aは、深さ方向に対するマスク領域(ゲート電極側)横方向拡がり比は2割以下、約15%程度であることが判明した。例えば BF_2 イオン注入によるp⁺

n接合形成条件、例えば加速エネルギー3keV、注入量 $1 \times 10^{15} / \text{cm}^2$ においては、基板1の不純物濃度が $1 \times 10^{18} / \text{cm}^3$ における接合深さ30nmを実現する場合、8nm程度の非晶質層10aが深さ方向に形成され、イオン注入マスク下部への横方向へは多く見積もっても2nm程度以下しか半導体表面領域が非晶質化されない。従って、上記第1ゲート側壁絶縁膜8として3nm程度以上の膜厚があれば、後述のレーザー光照射により溶融化されるソースおよびドレイン用の拡散層の非晶質層10aは、ゲート電極から隔離され、溶融の影響による不具合を解消できる。このように第1ゲート側壁絶縁膜8の膜厚は、上記溶融の影響が生じない条件の基に設定する一方で、ゲート電位で制御されない直列抵抗成分(ソースおよびドレイン間の直列抵抗成分)を極限まで低下してMISの大電流化を図るべく、上記溶融化領域が可能な限りゲート電極端に接近させるように設定する。

【0025】次いで、図4に示すように、基板1の主面上に、例えばプラズマ補助堆積法により400°C程度の低温で、例えば45nm厚のシリコン酸化膜11を全面に堆積する。続いて、例えばXeClガスレーザー装置により波長308nm、パルス半値幅30n秒、エネルギー密度 $0.75 \text{ J} / \text{cm}^2$ の条件でレーザー光Lを基板1の主面に照射した。このレーザー光Lの照射により非晶質層10aは瞬間的に溶融した後、再結晶化されて拡散層9aに対して相対的に高濃度の不純物を含む断面矩形分布状のp型の拡散層(第1領域)12aとされた。液相シリコン領域における不純物の拡散速度は固相中に比べて8

析以上速いことが知られている。また、熔融液相化の時間が数十ns程度と極短時間の場合は熔融領域直下の基板領域の昇温は放熱との釣合いで不純物拡散の観点では無視できる状態を形成し得る。従って、液相からの再固相化領域の不純物は深さ方向にほぼ平坦な矩形濃度分布となり、熔融領域直下では熱処理前とほぼ同等の不純物分布が維持される。本実施の形態1において熔融過程で不純物のホウ素(B)は熔融領域で $5 \times 10^{20} / \text{cm}^3$ 程度の均一濃度になるごとく再分布し、その厚さは、例えば約15nmであった。シート抵抗は、例えば約350W/cmであった。上記高不純物均一濃度領域の下部でのソースおよびドレイン用のp型の拡散層9a、9aの不純物分布は、上記レーザー照射工程後においても殆ど変化がみられず、むしろ表面側に移動したとき分布を示し、深さ方向に対して高濃度矩形分布のソースおよびドレイン用のp型の拡散層9a、9aが得られた。拡散層12aの熔融の横方向広がり、または不純物分布は直接観察することはできなかった。しかし、熔融境界領域に発生するバブル状欠陥の分布状況から拡散層12aの横方向広がり、第1ゲート側壁絶縁膜8の底部において端部からゲート電極側に向かっておよそ4nmに及んだが、ゲート電極5下部には達していないことが推測された。

【0026】上記非晶質層10aのみを選択的に、かつ、瞬間的に熔融する手法として、本実施の形態1においては、例えばXeClまたはKrF等のような気体励起パルスレーザー光によるレーザー光照射を用いる。前者の波長は308nm、後者は248nmである。パルスの半値幅として熔融層直下および周辺での発熱を極力防止するために数十ns程度が得られる装置が望ましい。上記非晶質層10aのみを選択的に、かつ、瞬間的に熔融する手法として、アークランプのごとき連続波長の光を照射する代わりに単一波長のレーザー光を用いる理由は、基板表面の所望箇所ごとに膜厚を制御被覆させることにより照射光に対する反射率および吸収率を制御し、溶融化領域と加熱防止領域の選択制御を可能とするためである。

【0027】上記レーザー光照射による熔融が所望領域だけに限定され、隣接領域での温度上昇が許容温度以下に限定できれば低抵抗で、かつ、浅接合のソースおよびドレインを形成する上でレーザー照射法は理想的手法となる。なお、本実施の形態1においては、低温熱処理で非晶質領域を再結晶化させてからのレーザー光照射熱処理、非溶融化熱処理は用いない。

【0028】このレーザー光照射は、通常、例えば4mm \square 程度または0.4mm \times 200mm等と最大照射面積が装置ごとに限定され、基板1の主面全体またはチップ単位ごとの照射を現状装置で施すことはできない。従って、照射領域端における照射の重ね合わせの影響を最小限に抑える手法を確立することが必須である。そこで、レーザー光照射は1ショットのみであるが、照射面積が3 \times 3mm 2 であるため全面照射においては、最大エネルギー密度の95%以下の領域が互いに重畳するごとく実施した。

【0029】また、このレーザー光Lをソースおよびドレイン用の拡散層だけに照射させることは困難であり、ゲート電極部分への照射も避けることができない。ゲート電極は、厚い熱酸化膜により基板1から隔離された上記分離領域上にも形成されているが、その分離領域へのレーザー光照射による発生熱は、分離領域の厚い酸化膜の熱拡散抵抗が単結晶シリコンに比べて2桁程度大きいことから、上記分離領域の厚い熱酸化膜に邪魔されて基板1を介して容易に放出開放され難い。従って、このレーザーエネルギーとパルス幅の条件は、ゲート電極への熱蓄積によりゲート電極およびゲート絶縁膜3が変形および劣化、更には消滅するごとく不良が発生しない条件で、かつ、ソースおよびドレイン用の非晶質層10aのみを液相化、活性化する条件で実施する。

【0030】また、本実施の形態1においては、このゲート電極やゲート絶縁膜3をレーザー光照射処理による昇温から保護するため、ゲート電極のパターン形成において、多結晶シリコン膜4による電極材料膜、薄い絶縁膜5、アルミニウム等からなる導体膜6、薄いシリコン酸化膜7の多層重ね膜をパターン加工する。最上層のシリコン酸化膜7は、所望により省略しても良い。導体膜6の材料として、アルミニウム膜を用いる理由は、レーザー光Lの照射処理に際して、例えば308nmまたは248nmの短波長レーザー光を用いるが、アルミニウムは、その短波長レーザー光に対して最も反射率が大きな材料だからである。上記波長のレーザー光に対して、例えば15nm程度のアルミニウムからなる導体膜6があれば、レーザー光照射による相対光強度を10%程度に減衰でき、下地材料の光学定数は影響されなくなる。

【0031】また、本実施の形態1においては、最上層のシリコン酸化膜7の膜厚を45nm程度とし、上記多層重ね膜構造のゲート電極を注入阻止マスクとするイオン注入の後、全面に45nm程度のシリ

コン酸化膜11を更に堆積する。このシリコン酸化膜11は、レーザー光Lに対する保護膜として機能する他に、レーザー光Lの増反射領域および反射防止領域を選択的に形成する機能をも有している。例えば上記のようにシリコン酸化膜11を堆積した状態では、例えば上記308nm波長のレーザー光Lの照射に対し、基板1上では30%、上記アルミニウム等からなる導体膜6およびシリコン酸化膜7を含む多層重ね膜構造のゲート電極上では91%の反射率が得られる。すなわち、ゲート電極上では増反射、非晶質層10a部分では反射防止効果が得られる。このシリコン酸化膜11が堆積されない状態における非晶質層10aでの反射率は60%の反射率である。上記導体膜6およびシリコン酸化膜7、11を堆積する手法に基づく選択的な増反射膜および反射防止膜構造の導入により、ゲート電極の劣化を招くことなく非晶質層10aを選択的に溶融および活性化することができる。これにより、低抵抗で、かつ、浅接合のソースおよびドレイン用の拡散層9aの形成と高信頼度のゲート絶縁膜およびゲート電極を有するMISを実現することができる。

【0032】次いで、上記レーザー光照射工程の後、基板1の主面上全面に堆積してあったシリコン酸化膜11を選択除去し、更にその下層のシリコン酸化膜7も選択的に除去した。続いて、基板1の主面上に、例えば60nm厚のシリコン酸化膜を全面に堆積した後、これを異方性ドライエッチングによってエッチバックすることにより、図5に示すように、ゲート電極用の多結晶シリコン膜4および第1ゲート側壁絶縁膜8の側壁に第2ゲート側壁絶縁膜(第2側壁絶縁膜)13を選択的に形成した。この状態より、例えば BF_3 を注入量 $3 \times 10^{15} / \text{cm}^2$ 程度、加速エネルギー15keV程度の条件でイオン注入することにより、図6に示すように、接合深さが約60nmの深いソースおよびドレイン用のp型の拡散層(第2拡散層)9b、9bを形成した。しかる後、ゲート電極4上の導体膜6を選択除去した。続いて、例えば950°C、1秒の短時間高温熱処理を施して、注入イオンの活性化を施した。

【0033】次いで、基板1の主面上前面に、例えばコバルト(Co)等のような高融点金属膜をスパッタリング法等により薄く堆積した後、基板1に対して、例えば500°Cにおける短時間アニールによるシリサイド化処理を施した。続いて、未反応の高融点金属膜を、例えば塩酸と過酸化水素水との混合液で除去し、図7に示すように、シリコン露出部に選択的にコバルトシリサイド(CoSi_x)等からなるシリサイド膜14a、14bを形成する。この状態より、例えば800°Cにおける短時間熱処理によりシリサイド膜14a、14bの低抵抗化を施した。その後、基板1の主面上前面に、例えば厚いシリコン酸化膜をCVD法等によって堆積した後、その表面を機械的・化学的研摩(CMP/Chemical Mechanical Polishing)法により平坦化することにより、図8に示すように、絶縁膜15を形成する。

【0034】次いで、絶縁膜15の所望領域に平面略円形状の開口16をフォトリソグラフィ技術およびドライエッチング技術によって形成する。続いて、基板1の主面上に、例えば窒化チタン(TiN)等のような高融点金属窒化膜をスパッタリング法等により堆積した後、その上に、例えばタングステン等のような高融点金属膜をCVD法またはスパッタリング法等によって堆積し、さらにこれらの積層金属膜が開口16内のみに残るように、その積層金属膜をCMP法等によって研磨することによりプラグ17を形成する。上記窒化チタン膜は、主配線金属の拡散障壁材としての機能を有する。タングステン膜は、主配線金属である。その後、所望回路構成に従い、例えばアルミニウム等を主材料とする金属膜の堆積とそのパターンニングによりドレイン電極およびソース電極を含む配線を形成し、pMISQpを有する半導体装置を製造した。このpMISQpにおいてゲート電極直下の基板1の主面領域における不純物濃度分布は、ゲート電極直下では相対的に低不純物濃度にされ、基板1の内部に向かって高不純物濃度となるようにされている。

【0035】上記製造工程を経て製造された本実施の形態1に基づくゲート長60nmのpMISQpのソースおよびドレイン用の浅い拡散層9a、9aの接合深さは、例えば約20nm、シート抵抗は、例えば30 Ω /□とされた。これに対して、例えば1000°C、1秒なる短時間高温熱処理を施すことで活性化処理を行う場合の値は、接合深さが、例えば30nmで、シート抵抗が、例えば1.9kW/□とされたので、本実施の形態1によれば、格段に浅接合化および低抵抗化が実現された。

【0036】上記の接合特性改善により電源電圧1Vの条件において、例えば60nmのゲート長を有するpMISQpによるチャネル幅1 μm 当たりのソースおよびドレイン間電流は2割以上の改善と、ゲート電圧が0(零)Vにおける漏洩電流の低下も達成され、かつ、閾電圧値のゲート長依存性も小さくなり更に微細ゲート電極長のMISも正常に動作し得ることが確認された。

【0037】上記製造工程を経て製造された本実施の形態に基づくpMISQpにおいては、非晶質層10aをゲート電極から離間させないでレーザー光照射によるソースおよびドレイン用の拡散層の活性化処

理を施す技術(以下、検討技術1という)に比べて良品歩留まりが格段に解消され、製造工程中の異物混入によるパターン不良など顕微鏡観察で確認し得る不良を除外するとほぼ100%の良品率が得られた。一方、上記検討技術1によるMISの良品率は10%以下と極めて低い値であった。上記検討技術1によるMISの不良は異物混入によるパターン不良を除くと、全てがゲート電極と基板間短絡であり、レーザー光照射によるゲート電極直下のソースおよびドレイン用の拡散層高濃度領域が熔融時に変形し、ゲート絶縁膜が破壊、短絡したためと推定される。すなわち、本実施の形態1によれば、非晶質層10aをゲート電極用の多結晶シリコン膜4より隔離させたことにより、ゲート絶縁膜3の破壊、短絡のような直接の影響を回避することができたと考えられる。

【0038】本実施の形態1によれば、pMISQpのゲート電極およびゲート絶縁膜3への致命的欠陥の発生なしにソースおよびドレイン用の拡散層9a、9aを選択的に溶融化・活性化することができる。そして、ソースおよびドレイン用の拡散層9a、9aを浅接合内で深さ方向にほぼ平坦で断面矩形状の高不純物濃度分布をもつ拡散層12aを形成できる。これにより、析違いに低抵抗で、かつ、浅接合のソース・ドレイン用の拡散層を形成でき、また、高信頼度のゲート絶縁膜およびゲート電極を有するpMISQpを実現することができる。また、浅接合化と低抵抗化を同時に達成でき、ゲート長の超微細化に対しても閾電圧の変動を極小化することができる。従って、pMISQpの超高集積化、高速動作化の手法を提供することができる。

【0039】(実施の形態2)本実施の形態2においては、ソースおよびドレイン用の深い拡散層を形成した後に、非晶質層の再結晶化および拡散層の活性化のためのレーザー光照射処理を施す場合の一例を図9～図12等を用いて説明する。

【0040】図9～図12は、本実施の形態2の半導体装置の製造工程中における要部断面図を示している。まず、前記図2まで前記実施の形態1で説明したのと同様の工程を経た後、前記実施の形態1で説明したレーザー光照射処理を施すことなく、図9に示すように、ゲート電極形成用の多結晶シリコン膜4および第1ゲート側壁絶縁膜8の側面に第2ゲート側壁絶縁膜13を前記図5で説明したのと同様に形成する。続いて、前記図5で説明したのと同様に、例えばBF₂をイオン注入することにより、図10に示すように、前記と同様のソースおよびドレイン用の深いp型の拡散層9b、9bを形成する。このソースおよびドレイン用の深い拡散層9b、9bを形成するイオン注入により非晶質層(第2非晶質層)10bが新たに形成される。この非晶質層10bは、ソースおよびドレイン用の浅い拡散層9a、9aの表面領域の非晶質層10aと互いに接続された状態となっている。

【0041】次いで、図11に示すように、例えばKrFガスレーザー装置により波長248nm、パルス半値幅20ns、エネルギー密度0.8J/cm²の条件でレーザー光を基板1の主面に照射した。本実施の形態2においては、レーザー光照射に対する保護膜の役割を有する上記シリコン酸化膜11を形成しなかった。上記レーザー光照射により非晶質層10a、10bは瞬間的に熔融した後、再結晶化し、p型の拡散層12a、12bとされた。p型の拡散層(第2領域)12bは、拡散層9bに対して相対的に高濃度の不純物を含む断面矩形分布状の領域とされている。すなわち、熔融過程で不純物のホウ素(B)

は、例えば熔融領域で $5 \times 10^{20} / \text{cm}^3$ 程度の均一濃度になるごとく再分布しその下部でのソースおよびドレイン用の浅いp型の拡散層9a、9a、ソースおよびドレイン用の深いp型の拡散層9b、9bの不純物濃度分布は、上記レーザー光照射工程後においても殆ど変化がみられず、むしろ表面側に移動したとき分布を示し、深さ方向に対して高濃度矩形分布のソースおよびドレイン用のp型の拡散層12bが形成された。非晶質層10a、10b(すなわち、拡散層12a、12b)の熔融の横方向広がりにはゲート電極用の多結晶シリコン膜4の下部まで達することはなかった。すなわち、本実施の形態2においても、非晶質層10a、10b(すなわち、拡散層12a、12b)のゲート電極側端部は、ゲート電極形成用の多結晶シリコン膜4の端部から所定の長さだけ離れている。レーザー光照射によるソースおよびドレイン用の拡散層9a、9bの活性化処理を施した後、図12に示すように、前記実施例1と同様に、シリサイド膜14a、14bと絶縁膜15、開口16およびプラグ17を形成して半導体装置を製造した。本実施の形態2においては、シリサイド膜14a、14bとして、例えばチタンシリサイド膜(チタニウム珪化膜)を形成した。このシリサイド膜14a、14bは、例えば30nm膜厚のチタン(Ti)をスパッタリングにより基板1の主面全面に堆積し、650℃、60秒の条件で窒素雰囲気中で加熱することにより、チタンシリサイド膜を基板1(拡散層9b)およびゲート電極用の多結晶シリコン膜4(シリコン膜が露出している領域)上に選択的に形成した後、未反応のチタン膜を過酸化水素水を含むエッチング液で除去し、その後、その低抵抗化のための熱処理を、例えば900℃、1秒の条件で施すことで形成した。ただし、シリ

サイド膜14a、14bは、チタンシリサイド膜に限定されるものではなく種々変更可能であり、例えばタングステン(W)、モリブデン(Mo)、コバルト(Co)またはニッケル(Ni)等のようなチタン以外の高融点金属膜の珪化膜であっても良い。

【0042】本実施の形態2によれば、前記実施の形態1で得られた効果の他に、以下の効果を得ることができる。すなわち、浅いp型の拡散層9a、深いp型の拡散層9bおよび非晶質層10a、10bをレーザー光照射により同時に溶融化し、活性化することができるので、前記実施の形態1よりも工程の簡略化を実現できた。本実施の形態2に基づく60nmのゲート長を有するpMISQpによるチャネル幅1mm当たりのソースおよびドレイン間電流は0.4mA/mmと前記実施の形態1によるMISと同様の大電流化が達成された。

【0043】また、本実施の形態2においては、ゲート絶縁膜3を、例えばアルミニウム(Al)、チタン(Ti)、タンタル(Ta)、ジルコニウム(Zr)、ハフニウム(Hf)、パラジウム(Pr)およびランタン(La)等の酸化膜、あるいはシリケート膜で置き換えたMISも別途試作した。上記各酸化膜またはシリケート膜はシリコン酸化膜に比べて誘電率が十分に大きな、いわゆる高誘電率絶縁膜である。例えばシリコン酸化膜換算の膜厚で2nm厚の上記高誘電率絶縁膜によるゲート絶縁膜を有するMISは、高誘電率ゲート絶縁膜固有の問題、すなわち、表面準位の増加、等の問題は生じた閾電圧を所望値に設計できなかったが、例えば60nmのゲート長を有するMISの正常動作を確認することができた。上記正常動作の意味するところは、ゲート電極用の多結晶シリコン膜4直下における上記高誘電率絶縁膜が、上記レーザー光照射工程においても劣化に到るごとき高温度に到達しなかったことを示唆している。

【0044】(実施の形態3)本実施の形態3においては、MISのゲート電極が半導体ではなくて金属膜で形成される場合について説明する。

【0045】図13および図14は、本実施の形態3の半導体装置の製造工程中における要部断面図を示している。まず、本実施の形態3においては、図13に示すように、ゲート絶縁膜3上に多結晶シリコン膜4を堆積する代わりに、例えば100nm厚のアルミニウムまたはアルミニウム合金(アルミニウム-シリコン-銅合金など)等のような低融点金属からなる導体膜20と、その上に、例えば45nm厚のシリコン酸化膜21とを堆積した後、この積層構造膜をフォトリソグラフィ技術およびドライエッチング技術によりパターニングすることにより、導体膜20で構成されるゲート電極と、その上にゲート保護膜としての機能を有するシリコン酸化膜21とを形成する。続いて、前記実施の形態1、2と同様に、第1ゲート側壁絶縁膜8、ソースおよびドレイン用のp型の拡散層9a、9a、非晶質層10aを形成する。その後、前記実施の形態2と同様に、ゲート電極および第1ゲート側壁絶縁膜8の側面に第2ゲート側壁絶縁膜13を形成した後、例えばBF₂をイオン注入することにより、前記と同様のソースおよびドレイン用の深いp型の拡散層9b、9bを形成する。この時、深い拡散層9bの上層部に非晶質層10bも形成される。その後、前記実施の形態2と同様に、レーザー光照射処理、シリサイド膜の形成処理、絶縁膜15、開口およびプラグの形成処理を経て、図14に示すように、pMISQpを有する半導体装置を製造した。

【0046】本実施の形態3のpMISQpにおいては、アルミニウム等のような低融点金属からなるゲート電極用の導体膜20に対して自己整合の関係で活性化されたソースおよびドレイン用の拡散層9a、9bの形成を実現でき、かつ、ゲート電極の損傷やパターン崩れ等も観測されなかった。電気特性からもゲート電極と基板1との間の漏洩電流等、ゲート絶縁膜3の劣化に関する諸問題も観測されなかった。したがって、本実施の形態3によれば、低融点低抵抗材料であるアルミニウム膜等をゲート電極とする自己整合MISを実現できた。このようにゲート電極を金属膜で形成することにより、ゲート電極の抵抗を大幅に低減できる。また、シリコンゲート電極構造を有するMISの場合、浅接合を形成可能とするために十分な熱処理を施すことができないことに起因してゲート電極内における添加不純物が非飽和となりゲート電極内が空乏化される(ゲート空乏化)問題が生じる場合がある。このようなゲート絶縁膜界面近傍におけるゲート空乏化はゲート印加電圧を消費し、実効的なゲート絶縁膜厚の厚膜化、すなわち、実効ゲート容量の低減を招き、超微細MISの高性能化の障害要因である。これに対して本実施の形態3によれば、メタルゲート電極構造を有するMISを実現することにより、上記のようなシリコンゲート電極構造を有する超微細MISの問題点を解消することができた。

【0047】本実施の形態3の超微細なpMISQpにおける閾電圧値は、通常のシリコンゲート電極構造のpMISに比べて、例えば約0.3V程度正方向に移動しており、ゲート電極に印加される電圧が0(零)Vでオン状態となったが、これはアルミニウム(Al)と、ホウ素(B)添加のシリコン(Si)との仕事関

数の差に起因するものである。そこで、このような閾電圧値の問題を解消するために本実施の形態3においては、基板1に正の電圧を印加し、所望閾電圧になるごとく調整した。すなわち、本実施の形態のMISは、基板電位(またはウエル電位)が正または負の一定電位に制御されて動作するようになっている。本実施の形態3ではpMISQpについて記載したが、導電型を逆にして同様に製造すればnMISを製造することもできる。nMISにおいては、閾電圧が正の値となるが閾電圧を低下させるために基板1に印加する電圧は正の電圧を印加すれば良い。また、本実施の形態3によれば、基板1内の所望領域にウエル拡散層領域(以下、単にウエル領域という)を形成し、このウエル領域ごとにnMIS、またはpMISを各々製造する、いわゆる相補型MIS(CMIS(Complementary MIS)と記する)を有する半導体装置も容易に製造できる。CMISにおいても各ウエル領域ごとにソース電位に対して正または負の所望電位(上記ウエル電位)を基板1に印加することにより本実施の形態3により製造されたCMISの閾電圧値を所望値に設定することができる。

【0048】また、閾電圧値の問題を解消する他の手法として本実施の形態3においては、アルミニウムの単体膜からなるゲート電極の代わりにホウ素(B)が高濃度に添加されたシリコン(Si)膜、窒化チタン(TiN)膜およびタングステン(W)膜を下層から順に積み重ねてなる積層膜によりゲート電極を構成した超微細なpMISを別途製造した。この構成のpMISの製造においては、レーザー光照射に対するゲート電極領域の加熱防止の観点からホウ素(B)を添加したシリコン(Si)/窒化チタン(TiN)/タングステン(W)の積層膜構造の上に前記実施の形態1等と同様にシリコン酸化膜5/アルミニウム(AI)等からなる導体膜6/シリコン酸化膜7からなるゲート保護積層膜を更に積層し、レーザー光照射の後、に上記ゲート保護積層膜を選択的に除去した。上記のホウ素(B)添加のシリコン(Si)/窒化チタン(TiN)/タングステン(W)の積層ゲート電極構造MISの閾電圧は、通常のシリコンゲート電極と同様であり、かつ、窒化チタン(TiN)を介したシリコン(Si)層とタングステン(W)層間の異常反応に伴う不良、例えばパターンくずれや接触抵抗増加等は観測されず、ゲート電極形成領域は高温にまで上昇しなかったことが示唆され、ゲート電極の低抵抗化が実現された。上記の積層ゲート電極構造においては、金属膜としてタングステン(W)膜を用いたが、タングステン(W)膜の代わりに、例えばチタン(Ti)、ニッケル(Ni)、タンタル(Ta)、モリブデン(Mo)、コバルト(Co)、ジルコニウム(Zr)または窒化タンタル(TaN)等のような金属膜またはそれらの積層膜であっても何ら問題ない。また、最下層に不純物を高濃度に添加したシリコン(Si)膜を用いなくとも良い。

【0049】このように本実施の形態3によれば、ゲート絶縁膜3およびゲート電極材料と独立して拡散層を選択的に活性化できるので、多結晶シリコン膜4と高融点金属膜の積層構造のゲート電極構造、さらには金属膜のみによるゲート電極構造を用い、ゲート電極と自己整合のソースおよびドレイン接合を有するMISが実現できる。また、金属膜によるゲート電極を用いて自己整合の関係でソースおよびドレイン用の拡散層を形成できるのでゲート抵抗の低減化、シリコンゲートにおいて問題となるゲート絶縁膜界面近傍における空乏化に基づく実効ゲート容量の低下現象またはゲート電極からの不純物の基板側への漏洩等、超微細MISにおける諸問題を根本的に解消することができる。これにより超微細MISの大電流化、低電圧動作化が実現できる。

【0050】(実施の形態4)本実施の形態4においては、レーザー光照射処理によりゲート電極が破壊するのを抑制または防止すべく、基板1上に堆積された所定の金属膜を介して間接的に非晶質層を溶融し再結晶化する方法について説明する。

【0051】図15および図16は、本実施の形態4の半導体装置の製造工程中における要部断面図である。まず、図15に示すように、ゲート電極形成用の多結晶シリコン膜4をパターンニングする。本実施の形態4では、前記したシリコン酸化膜5、導体膜6を積層せずに多結晶シリコン膜4の単体膜をパターンニングする。多結晶シリコン膜4上の前記シリコン酸化膜7は、形成しても良いし、省略しても良い。ここでは省略した。続いて、前記実施の形態2と同様に、第1ゲート側壁絶縁膜8の形成、非晶質層10aを含むソースおよびドレイン用の浅いp型の拡散層9a、9aの形成、第2ゲート側壁絶縁膜13の形成、更には非晶質層10bを含むソースおよびドレイン用の接合深さが約60nmの深いp型の拡散層9b、9bの形成を実施した。

【0052】次いで、図16に示すように、基板1の主面全面に、例えば400°Cの低温で2nm厚程度のシリコン酸化膜22、薄いチタン(Ti)膜(またはタングステン(W)膜)および窒化チタン(TiN)膜の積層導体膜23を化学気相成長法(CVD法)により下方から順次堆積する。シリコン酸化膜22は、積層導体膜23とシリコンとが直接接触するのを阻止し、積層導体膜23とシリコンとの間にシリサイド膜が形成

されるのを防止するための機能を有している。続いて、本実施の形態4においては、例えば前記実施の形態2と同様のレーザー光照射処理を施した。このレーザー光照射処理により、非晶質層10a、10bは溶融化の後再固相化して、それぞれ高不純物濃度のp型の拡散層12a、12bとなった。積層導体膜23は、基板1およびゲート電極の保護機能とその他に発熱源としての機能を有している。すなわち、積層導体膜23は、レーザー光が基板1の主面に直接照射されないように保護しつつ、また、基板1の主面全面およびゲート電極を押さえ付けてシリコン表面のピットを押さえつつ、レーザー光の照射により吸収した熱を間接的に基板1の主面側に伝えて加熱する。これにより、基板1の主面の損傷、ゲート電極のパターンくずれや変形等のような致命的な欠陥を抑制または防止しつつ、基板1の主面全面をほぼ均一に加熱することができる。積層導体膜23の材料は、熱伝導性が高い、シリコンよりも融点が高い、レーザー光の吸収効率の高い等のような性質を有する材料が好ましい。上記窒化チタン(TiN)膜や窒化タングステン(WN)膜または窒化タンタル(TaN)膜は熱伝導性に優れ、シリコン(Si)膜の融点よりも高く、かつ、内部応力が大きいいため、下地の非晶質層10a、10bの溶融に対しても耐性があり、ゲート電極に対する影響を最小限に抑えることができる。ただし、積層導体膜23の材料は、上記した材料に限定されず種々変更可能である。例えば上記積層導体膜23において、窒化チタン(TiN)膜の代わりに、窒化タングステン(WN)膜または窒化タンタル(TaN)膜等のような高融点金属窒化膜を用いても良い。また、チタン(Ti)膜と窒化チタン(TiN)膜の堆積順序は逆であっても良い。さらに、チタン(Ti)膜の代わりに、シリコン(Si)膜を積層導体膜23の最上層に形成しても良い。この場合、表面のシリコン膜は加熱され、その熱が下地の窒化チタン(TiN)等のような熱伝達膜を介して極浅高濃度のソースおよびドレイン領域の非晶質層に伝えられ、その非晶質層を溶融させ、活性化が実施される。また、積層導体膜23上にシリコン酸化膜またはシリコン等からなる反射防止膜を形成した後に上記レーザー光照射処理を施しても良い。

【0053】このようなレーザー光照射処理の後、積層導体膜23およびシリコン酸化膜22を選択的に除去した後、前記実施の形態1、2と同様に、シリサイド膜14a、14b、絶縁膜15、開口16およびブラグ17の形成工程を経て図12に示したのと同様の本実施の形態4の半導体装置を製造した。

【0054】本実施の形態4におけるレーザー光照射により積層導体膜23が加熱され、この加熱により間接的に非晶質層10a、10bが溶融化される。したがって、用いるレーザー源としては、積層導体膜23で照射光が吸収されるものであれば良く、XeCl(波長308nm)、KrF(波長248nm)等のような気体レーザーばかりでなく、波長1064nmのYAG固体レーザーによっても良い。

【0055】本実施の形態4によれば、レーザー光照射により積層導体膜23を加熱し、積層導体膜23を介した熱伝導による間接加熱により下地の非晶質層10a、10bの溶融、活性化を行うことにより、ゲート電極のパターン崩れの抑制または防止と均一加熱の両立を図ることができた。また、本実施の形態4によれば、超微細のゲート電極の加工において、増反射膜構成を用いる必要がなくなるので、加工精度を格段と向上することができた。

【0056】(実施の形態5)本実施の形態5においては、CMIS回路を有する半導体装置に本発明を適用した場合の一例を説明する。

【0057】図17および図18は、本実施の形態5の半導体装置の製造工程における要部断面図である。まず、図17に示すように、基板1の所望領域にpウェル領域PWLの形成、活性領域を画定する分離領域2の形成、基板濃度調整用のnおよびp導電型イオンの選択注入と引き延ばし熱処理および閾電圧調整用イオン注入と活性化熱処理を通常の手法により施した。所望によりn導電型領域にnウェル領域を形成しても良い。続いて、前記実施の形態1等と同様に、基板1の主面上にゲート絶縁膜3を形成した後、基板1の主面上全面に、例えば厚さ100nm程度の多結晶シリコン膜を堆積し、さらに、その多結晶シリコン膜において、pMIS形成領域にホウ素(B)を、nMIS形成領域にリン(P)をそれぞれ選択的に高濃度でイオン注入した。その後、例えば厚さ45nm程度のシリコン酸化膜(図示せず)を基板1の主面上に堆積した後、このシリコン酸化膜および下層の多結晶シリコン膜をパターンングすることにより、pMISのゲート電極4aおよびnMISのゲート電極4bを形成した。

【0058】次いで、例えば8nm厚のシリコン酸化膜を全面に堆積してからゲート電極4a、4bの側壁部に選択的に残置するごとく異方性エッチングを施し、第1ゲート側壁絶縁膜8を形成した。続いて、この第1ゲート側壁絶縁膜8とゲート電極4a、4bをイオン注入阻止マスクとしてpMIS形成領域には、例えば加速エネルギーを2keV、注入量を $1 \times 10^{15} / \text{cm}^2$ の条件で二フッ化ホウ素(BF_2)イオンを、

nMIS形成領域には、例えば加速エネルギーを3keV、注入量を $1 \times 10^{15} / \text{cm}^2$ の条件でヒ素イオンを各々選択的に注入した。このイオン注入により、基板1の主面には、例えば約10nm厚の非晶質層10aを含むソースおよびドレイン用のp型の拡散層9a、9aと、非晶質層(非晶質層または第1非晶質層)10cを含むソースおよびドレイン用の不純物濃度の低いn型の拡散層(拡散層または第1拡散層)9c、9cが形成された。nMIS側のn型の拡散層9cおよび非晶質層10cの配置については、pMISのp型の拡散層9aおよび非晶質層10aと同様になっている。すなわち、非晶質層10cは、ゲート電極4bの端部から離れ、拡散層9cはゲート電極4bとゲート電極側の先端部分が重なっている。ここで低濃度の拡散層9a、9cの最大不純物濃度は、例えば約 $1 \times 10^{20} / \text{cm}^3$ 未満である。

【0059】次いで、例えば厚さ60nmのシリコン酸化膜を基板1の主面全面に堆積した後、異方性ドライエッチングを施してゲート電極4a、4bおよび第1ゲート側壁絶縁膜8の側壁に選択的に第2ゲート側壁絶縁膜13を形成した。続いて、上記第2ゲート側壁絶縁膜13およびゲート電極4a、4bをイオン注入阻止マスクとして、pMIS形成領域には、例えば加速エネルギーを15keV、注入量を $3 \times 10^{15} / \text{cm}^2$ の条件でニフツ化ホウ素イオンを、nMIS形成領域には、例えば加速エネルギーを40keV、注入量を $3 \times 10^{15} / \text{cm}^2$ の条件でヒ素(As)イオンを各々選択的に注入した。このイオン注入により非晶質層10bを含むソースおよびドレイン用の深いp型の拡散層9b、9bと、非晶質層(第2非晶質層)10dを含むソースおよびドレイン用の深いn型の拡散層(第2拡散層)9d、9dが形成された。

【0060】次いで、前記実施の形態4と同様に、基板1の主面上に、シリコン酸化膜22および積層導体膜23を下層から順に堆積した後、前記実施の形態2～4と同様に、基板1の主面に対してレーザー光Lを照射した。このレーザー光照射により非晶質層10a、10b、10c、10dは、前記実施の形態4と同様に、溶融化され液相から固相へと結晶回復がなされ、図18に示すように、高濃度不純物分布を有する断面矩形状のp型の拡散層12a、p型の拡散層12b、n型の拡散層(第1領域)12cおよびn型の拡散層(第2領域)12dが形成される。n型の拡散層12c、12dは、導電型が異なるだけで基本的にそれぞれp型の拡散層12a、12bと同様の不純物分布となる。このようにしてpMISQpおよびnMISQnを形成する。シリコン酸化膜22および積層導体膜23を選択的に除去した後、前記実施の形態1と同様に、基板1の主面上に絶縁膜15を堆積した後、絶縁膜15の所望の位置に開口16a、16bを形成する。開口16aは平面円形状、開口16bは平面矩形状の開口を例示している。その後、前記実施の形態1と同様に、開口16a、16b内に導体膜を埋め込み、それぞれプラグ17aおよび配線17bを形成する。このようにして本実施の形態5の半導体装置を製造する。

【0061】このような本実施の形態5によれば、ゲート長60nmのnMISQnのソースおよびドレイン用の浅い拡散層9c、9cの接合深さは、例えば約20nm、シート抵抗は、例えば100W/□程度であり、pMISQpのソースおよびドレイン用の浅い拡散層9a、9aの接合深さは、例えば約20nm、シート抵抗は、例えば300W/□程度にでき、通常の活性化処理に比べて格段に浅接合化および低抵抗化を実現することができた。上記の接合特性改善により電源電圧1Vの条件において、本発明者らが検討した60nmのゲート長を有するnMISによるチャネル幅1mm当たりのソースおよびドレイン間電流は、例えば0.65mA/mm、ゲート電圧が0Vにおける漏洩電流は、例えば $8.2 \times 10^{-9} \text{A/mm}$ であったのに対し、本実施の形態5による同一寸法のnMISQnによるチャネル幅1mm当たりのソースおよびドレイン間電流は、例えば0.8mA/mmと2割以上の改善と、ゲート電圧が0Vにおける漏洩電流は、例えば $5.6 \times 10^{-10} \text{A/mm}$ と低漏洩化が達成され、かつ、閾電圧値のゲート長依存性も小さくなり更に微細ゲート電極長のMISも正常に動作することが確認された。

【0062】(実施の形態6)本実施の形態6においては、MISのチャネルの抵抗を下げる方法の一例を説明する。

【0063】図19および図20は、本実施の形態6の半導体装置の製造工程中における要部断面図である。本実施の形態6は、前記実施の形態4で説明したのとほぼ同じである。異なるのは、次の2つである。第1は、図19に示すように、ゲート電極形成用の多結晶シリコン膜4のパターニング後、第1ゲート側壁絶縁膜8の形成の前に、多結晶シリコン膜4を注入阻止マスクとして、例えばニフツ化ホウ素(BF_2)を注入量 $2 \times 10^{14} / \text{cm}^2$ 、加速エネルギーを1keVの条件でイオン注入することにより、非晶質層の形成を伴わない比較的高濃度で、かつ、極浅接合のソースおよびドレイン用のp型の拡散層24、24を基板1に別途形成したことである。前記した実施の形態1～5においては、ゲート電極の側面

に第1ゲート側壁絶縁膜8を形成した後に、浅い拡散層形成用の不純物導入工程を行っているので、浅い拡散層(拡散層表面において、例えば $10^{19}/\text{cm}^3$ 程度の表面不純物濃度領域を有する)がゲート電極と重ならずゲート電極の端部から離れてしまう場合も想定される。この離れてしまっている領域は、ゲート電界により直接制御されず、直列抵抗の増加としてMISの大電流化を阻害する恐れがある。そこで、本実施の形態6においては、第1ゲート側壁絶縁膜8の形成前に、ゲート電極をイオン注入マスクとする浅接合の中濃度イオン注入を予め施し、上記拡散層24を形成しておく手法を用いる。ここで、上記拡散層24を形成するための上記中濃度イオン注入においては、非晶質化が生じない程度の不純物濃度で可能な限り高濃度に設定することが望ましく、例えば $1 \times 10^{19}/\text{cm}^3$ の表面不純物濃度が適当である。

【0064】第2に異なるのは、第1ゲート側壁絶縁膜8として、シリコン酸化膜の代わりにシリコン酸化膜より比誘電率の大きな絶縁膜であるアルミニウムの酸化膜を用いたことである。この高誘電率膜としては、例えばチタン(Ti)、タンタル(Ta)、ジルコニウム(Zr)、ハフニウム(Hf)、パラジウム(Pr)またはランタン(La)の酸化膜または窒化膜あるいはシリケート膜であっても良い。

【0065】上記拡散層24および第1ゲート側壁絶縁膜8の形成工程を経た後、前記実施の形態4と同様に、非晶質層10aを含む拡散層9aの形成工程、第2ゲート側壁絶縁膜13の形成工程、非晶質層10bを含む拡散層9bの形成工程、シリコン酸化膜22の形成工程および積層導体膜23の形成工程を経て、前記実施の形態4と同様のレーザー光照射処理を基板1の主面に対して施す。これにより、非晶質層10a、10bを溶融、再結晶化して図20に示すように拡散層12a、12bを形成する。続いて、前記実施の形態4と同様の工程を経て本実施の形態6のpMISQpを有する半導体装置を製造した。

【0066】このように本実施の形態6のpMISQpにおいては、ゲート電極形成用の多結晶シリコン4の端部と重なるように基板1の主面にソースおよびドレイン用の極浅接合の拡散層24、24が形成されている。この拡散層24は、レーザー光照射による溶融化に対しては何ら寄与しないが溶融化により形成された断面矩形状の高濃度分布を有するソースおよびドレイン用の拡散層12aとチャネルに至る領域の直列抵抗を低減する効果を有する。

【0067】また、高誘電率絶縁膜による第1ゲート側壁絶縁膜8は、ゲート電界の電極側面回り込み成分、いわゆるフリンジ電界がより効率的に第1ゲート側壁絶縁膜8直下の基板1の主面へ印加され、p導電領域の正孔密度上昇に寄与し、抵抗低減による大電流動作化に寄与する。極浅接合のソースおよびドレイン用の拡散層24、24の導入に関してはイオン注入条件の設定を最適化しなければ接合深さの増加により閾電圧値のゲート長依存性が劣化するので注意を要する。また、高誘電率絶縁膜による第1ゲート側壁絶縁膜8の配置は、その膜厚を厚くするとフリンジ容量の増加をもたらす、高速動作に対する阻害要因となる。従って、第1ゲート側壁絶縁膜8の膜厚は、例えば10nm以下で、かつ、5nm以上であることが本発明者による動作速度の解析から明らかになった。極浅接合のソースおよびドレイン用の拡散層24、24の形成と、高誘電率絶縁膜による第1ゲート側壁絶縁膜8の形成は、同時に実施する必要はなく、何れか一方でもpMISQpの大電流動作、すなわち、高速動作を可能にすることができる。

【0068】(実施の形態7) 本実施の形態7においては、非晶質層の深さの制御方法の一例を説明する。

【0069】図21は、本実施の形態7の半導体装置の製造工程中における要部断面図である。本実施の形態7は、前記実施の形態6で説明したのとほぼ同じである。異なるのは、レーザー光照射により溶融化する非晶質層を、 BF_2 等のような拡散層形成用の不純物の高濃度イオン注入のみにより形成するのではなく、例えばゲルマニウム(Ge)またはシリコン(Si)等のような接合の特性に影響を及ぼさない材料を高濃度でイオン注入することにより形成した。ここでは、特に非晶質層の深さをゲルマニウムやシリコン等によって制御することにより、レーザー光照射処理により溶融化する部分の深さを制御している。具体的には非晶質層10aは、例えばゲルマニウム(Ge)イオンを加速エネルギーを5keV、注入量を $1 \times 10^{15}/\text{cm}^2$ の条件で基板1に注入することにより形成した。しかる後、ソースおよびドレイン用の浅いp型の拡散層9a、9aの形成は、例えばホウ素(B)を加速エネルギーを500V、注入量を $1 \times 10^{15}/\text{cm}^2$ で基板1に注入することにより形成した。これにより通常は非晶質化が望めないホウ素(B)イオン注入層においても非晶質層10aを形成することができた。上記ゲルマニウムイオンの注入工程は、ソースおよびドレイン用の浅い拡散層9aの形成のためのイオン注入工程の後でも

良い。本実施の形態7においては、ソースおよびドレイン用の深い拡散層9b、9bの形成においてもゲルマニウム(Ge)のイオン注入を実施し、非晶質層10bを形成した。この場合の上記ゲルマニウムイオンの注入工程も、ソースおよびドレイン用の浅い拡散層9aの形成のためのイオン注入工程の前でも後でもいずれでも良い。その後、図19に示したように前記実施の形態6と同様に、レーザー光照射工程を実施することにより非晶質層10a、10bの選択的熔融と再固相化により、図20に示したように高濃度不純物分布を有する断面矩形状のp型の拡散層12a、12bを形成した。このように本実施の形態7の半導体装置を製造した。

【0070】本実施の形態7においては、ホウ素(B)のイオン注入に先立って(または後に)ゲルマニウム(Ge)の高濃度イオン注入による非晶質層形成処理を実施したことにより、ホウ素(B)のイオン注入におけるチャネリング現象に基づく低濃度領域の拡がりを抑制または防止することができ、ソースおよびドレイン用の浅い拡散層9a、9aの浅接合化を実現することができ、閾電圧のゲート長依存性を更に短チャネル素子でも動作できるごとく改善できた。上記ゲルマニウムまたはシリコンに代えて、アルゴン(Ar)を用いることもできる。

【0071】(実施の形態8)本実施の形態8においては、レーザー光照射処理温度を低減する方法の一例を説明する。

【0072】図22は、本実施の形態8の半導体装置の製造工程中における要部断面図である。本実施の形態8は、前記実施の形態4で説明したのとほぼ同じである。異なるのは、ソースおよびドレイン用の浅いp型の拡散層9a、9aを形成するためのイオン注入処理直後(または前)およびソースおよびドレイン用の深いp型の拡散層9b、9bを形成するためのイオン注入処理直後(または前)に、例えばインジウム(In)等のようにシリコン(Si)の融点を下げるように作用する不純物を基板1にイオン注入したことである。具体的には、前記した拡散層9aを形成するための上記イオン注入に続いて、例えば注入量を $5 \times 10^{15} / \text{cm}^2$ 、加速エネルギーを10keVの条件でインジウム(In)を基板1にイオン注入した。また、前記した拡散層9bを形成するための上記イオン注入に続いて、例えば注入量を $1 \times 10^{15} / \text{cm}^2$ 、加速エネルギーを20keVの条件でインジウム(In)を基板1にイオン注入した。これにより、拡散層9aの表層には、インジウム(In)とホウ素(B)とを高濃度に含む非晶質層10aを形成した。また、拡散層9bの表層には、インジウム(In)とホウ素(B)とを高濃度に含む非晶質層10bを形成した。

【0073】この状態から、例えば膜厚45nmのシリコン酸化膜を基板1の主面全面に堆積した後、例えばKrFガスレーザー装置により波長248nm、パルス半値幅20ns、エネルギー密度 $0.65 \text{ J} / \text{cm}^2$ の条件でレーザー光を基板1の主面に照射した。前記実施例2、4記載の技術において、上記条件によるレーザー光照射処理を施しても非晶質層10a、10bは熔融されなかったが、本実施の形態8においては、非晶質層10a、10bは熔融化され、再固相化し、結果的に高不純物濃度の断面矩形状の不純物分布を有する拡散層12a、12b(図12等参照)を形成することができた。本実施の形態8と、前記実施の形態2、4との違いは、非晶質層10a、10bに高濃度のインジウム(In)が添加されていることである。この事実より添加したインジウム(In)が非晶質層10a、10bの融点を低下させる働きをしたものと思われる。本発明者の検討によれば、インジウムをイオン注入することで、シリコン(Si)、すなわち、基板1の融点(例えば 1414°C)を、 $-150^\circ\text{C} \sim -200^\circ\text{C}$ 程度下げることができる。すなわち、基板1の融点を $1214^\circ\text{C} \sim 1264^\circ\text{C}$ にできる。

【0074】次いで、上記のようなレーザー光照射の後、レーザー光照射工程の前に堆積した膜厚45nm程度のシリコン酸化膜を選択的に除去してから前記実施例4と同様に、シリサイド膜14a、14bの形成、絶縁膜15、開口16およびプラグ17の形成工程を経て、本実施の形態8のpMISQpを有する半導体装置を製造した。

【0075】本実施の形態8によれば、高濃度矩形不純物分布のソースおよびドレインの浅接合の形成を、前記実施の形態4の場合に比べてエネルギー密度の低い条件で実現することができた。これにより、レーザー光照射によるゲート電極領域への過度の加熱を生じることもなく、従ってゲート絶縁膜3の劣化やゲート電極と基板1間の短絡等、致命的不良の発生も低減または防止できた。また、ゲート電極がレーザー光の熱により位置ずれしたり、消失してしまったりする現象を抑制または防止でき、ゲート電極およびその周辺の信頼性を向上させることができる。従って、プロセス上のマージンを広くとることができ、製造工程の容易性を向上させることが可能となる。

【0076】図23は、前記実施の形態4に基づくソース用のp型の拡散層9aの形成に関するレーザー光照射エネルギー依存性と、本実施の形態8に基づくインジウム(In)添加のソース用のp型の拡散層9aの形成に関するレーザー光照射エネルギー依存性とを別途試作検討した結果を示している。この図16から明らかな如く非晶質層にインジウム(In)が添加されることにより溶融化に要するレーザー光照射エネルギー密度は、例えば約 $150\text{mJ}/\text{cm}^2$ 程度に低減できる。このように、本実施の形態8においては、レーザー光の照射エネルギーを低減できた状態で、良好な状態の拡散層12aを形成できるので、第1ゲート側壁絶縁膜8を無くした状態とすることもできる。すなわち、第1ゲート側壁絶縁膜8の形成を省略し、非晶質層を含むソースおよびドレイン用のp型の拡散層9a、9aの形成をゲート電極形成用の多結晶シリコン膜4を注入阻止マスクとしたイオン注入により形成しても良い。

【0077】ただし、本実施の形態8における非晶質層10a、10bの溶融温度の低温化、低エネルギー密度化は他の不純物の添加に依っても生じ、例えばビスマス(Bi)や鉛(Pb)であっても同様な効果が観測された。従って本実施の形態8において、インジウム(In)の代わりに、ビスマス(Bi)、鉛(Pb)、ゲルマニウム(Ge)またはアンチモン(Sb)を注入しても良い。また、nMISに適用する場合には、基板1の融点を下げる不純物として、ゲルマニウム(Ge)を用いると良い。ゲルマニウムの場合は、pMISでもnMISでも使用できるので、pMISおよびnMISが同一の基板1に形成されている場合に適用するのも好ましい。

【0078】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0079】例えば本実施の形態1、2、3、4、6、7、8は、pMISの場合について記載したが、nMISに適用しても同様な効果が得られる。

【0080】また、前記実施の形態において、レーザー照射処理におけるレーザー光は、YAGレーザー光(波長=1064nm)等のような比較的長波長のレーザー光を用いても良い。

【0081】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるCMIS回路を有する半導体装置の製造方法に適用した場合について説明したが、それに限定されるものではなく、例えばDRAM(Dynamic Random Access Memory)、SRAM(Static RAM)またはフラッシュメモリ(EEPROM; Electric Erasable Programmable Read Only Memory)等のようなメモリ回路を有する半導体装置技術、マイクロプロセッサ等のような論理回路を有する半導体装置技術あるいは上記メモリ回路と論理回路とを同一基板に設けている混載型の半導体装置技術にも適用できる。

【0082】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0083】すなわち、電界効果トランジスタのソースおよびドレイン領域において、その電界効果トランジスタのゲート電極から離れた領域を非晶質化させた後、その非晶質化させた領域をレーザー光照射により選択的に溶融、液相化させ、さらに再結晶化させる工程を有することにより、電界効果トランジスタを有する半導体装置の信頼性を向上させることが可能となる。

図の説明

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置の製造工程中の要部断面図である。

【図2】図1に続く半導体装置の製造工程中の要部断面図である。

【図3】図2の要部拡大断面図である。

【図4】図2および図3に続く半導体装置の製造工程中の要部断面図である。

【図5】図4に続く半導体装置の製造工程中の要部断面図である。

【図6】図5に続く半導体装置の製造工程中の要部断面図である。

【図7】図6に続く半導体装置の製造工程中の要部断面図である。

【図8】図7に続く半導体装置の製造工程中の要部断面図である。

【図9】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図10】図9に続く半導体装置の製造工程中の要部断面図である。

【図11】図10に続く半導体装置の製造工程中の要部断面図である。

【図12】図11に続く半導体装置の製造工程中の要部断面図である。

【図13】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図14】図13に続く半導体装置の製造工程中の要部断面図である。

【図15】本発明の他の実施の形態である半導体装置の製造工程における要部断面図である。

【図16】図15に続く半導体装置の製造工程中の要部断面図である。

【図17】本発明の他の実施の形態である半導体装置の製造工程における要部断面図である。

【図18】図17に続く半導体装置の製造工程中の要部断面図である。

【図19】本発明の他の実施の形態である半導体装置の製造工程における要部断面図である。

【図20】図19に続く半導体装置の製造工程中の要部断面図である。

【図21】本発明の他の実施の形態である半導体装置の製造工程における要部断面図である。

【図22】本発明のさらに他の実施の形態である半導体装置の製造工程における要部断面図である。

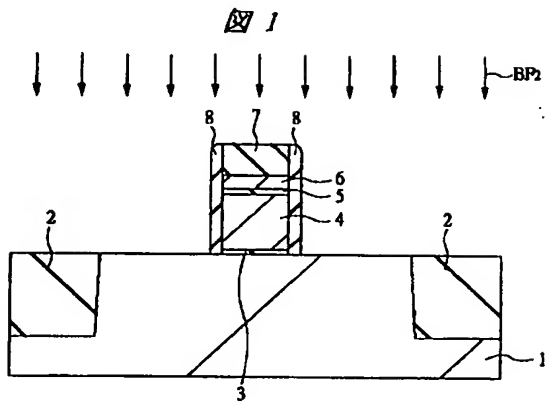
【図23】本発明の実施の形態においてレーザーエネルギー密度とシート抵抗との関係を拡散層にインジウムを導入した場合としない場合とで比較して示したグラフ図である。

【符号の説明】

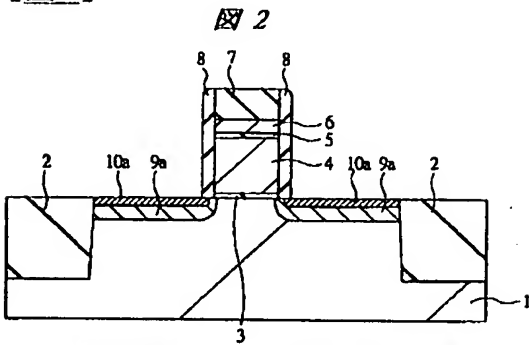
- 1 半導体基板
- 2 素子間分離絶縁領域
- 3 ゲート絶縁膜
- 4 多結晶シリコン膜
- 4a, 4b ゲート電極
- 5 シリコン酸化膜
- 6 導体膜
- 7 シリコン酸化膜
- 8 第1ゲート側壁絶縁膜(第1側壁絶縁膜)
- 9a, 9c 拡散層(第1拡散層)
- 9b, 9d 拡散層(第2拡散層)
- 10a, 10c 非晶質層(第1非晶質層)
- 10b, 10d 非晶質層(第2非晶質層)
- 11 シリコン酸化膜
- 12a, 12c 拡散層(第1領域)
- 12b, 12d 拡散層(第2領域)
- 13 第2ゲート側壁絶縁膜(第2側壁絶縁膜)
- 14a, 14b シリサイド膜
- 15 絶縁膜
- 16, 16a, 16b 開口
- 17 プラグ
- 17a プラグ
- 17b 配線
- 20 導体膜
- 21 シリコン酸化膜
- 22 シリコン酸化膜
- 23 積層導体膜
- 24 拡散層
- Qp pチャネル型のMIS・FET
- Qn nチャネル型のMIS・FET

図面

【図1】

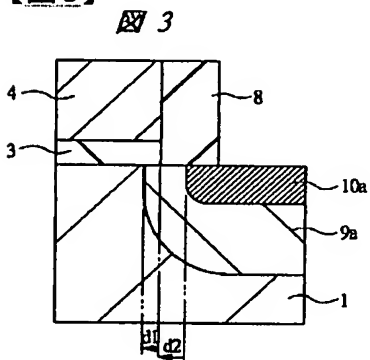


【図2】



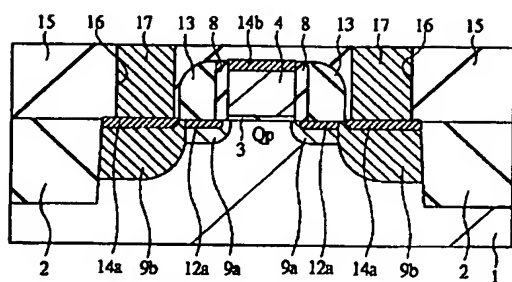
- 1: 半導体基板
3: ゲート絶縁膜
4: 多結晶シリコン膜
6: 導体膜
8: 第1ゲート側壁絶縁膜
9a: 拡散層(第1拡散層)
10a: 非晶質層(第1非晶質層)

【图3】



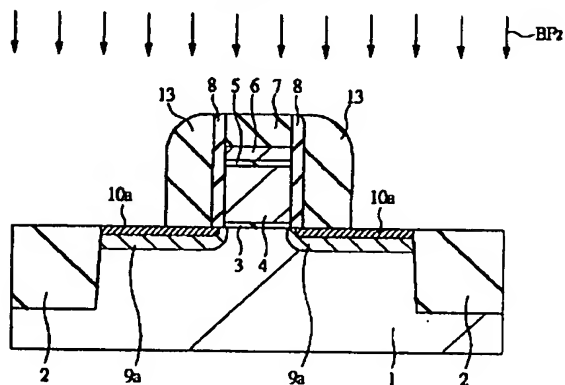
【図4】

8



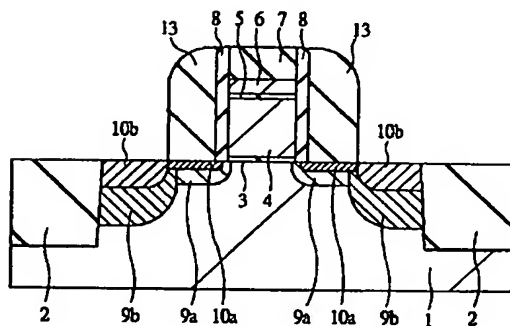
【図9】

9



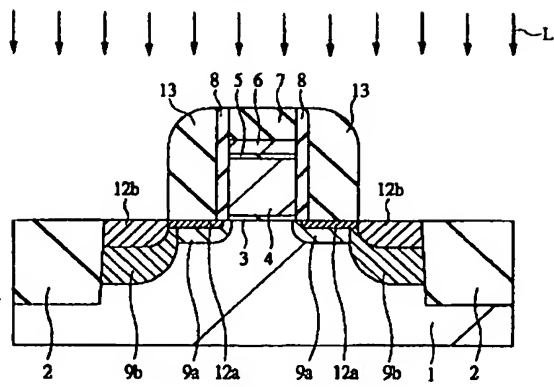
【图10】

10



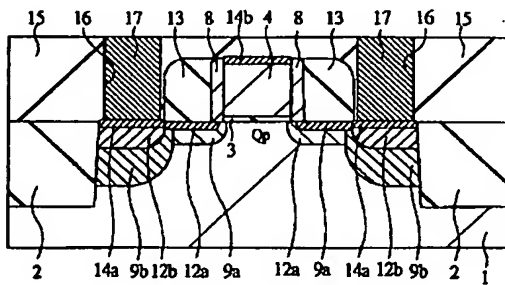
【图 11】

図 11



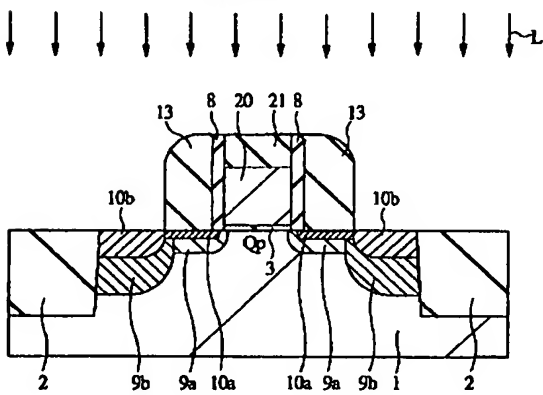
【図12】

図 12



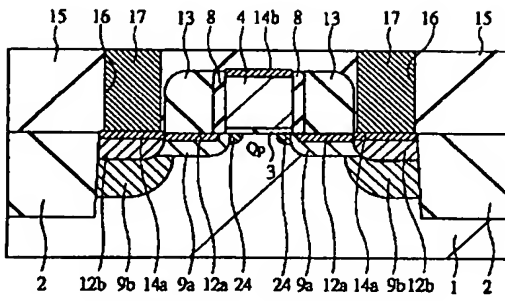
【図13】

図 13



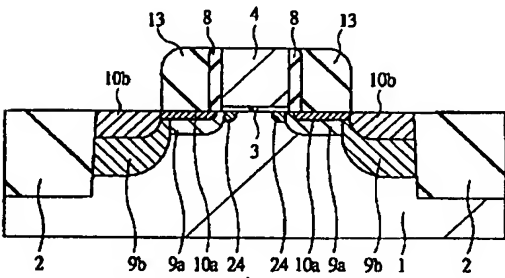
【図14】

図 20



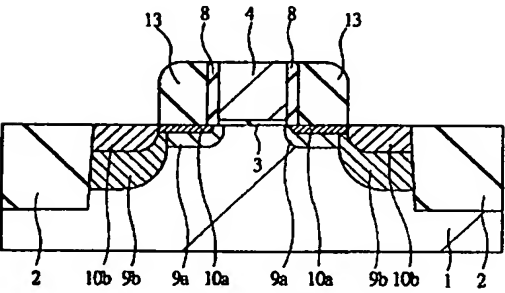
【図21】

図 21



【図22】

図 22



【図23】

図 23

